



JZ8P1516

8 位 OTP 微控制器

用户数据手册

版本号 V2.0



修改记录说明

| 版本号 | 修改说明 | 备注 |
|------|---------|----|
| V1.0 | 完成初稿 | |
| V1.1 | 修改寄存器说明 | |
| V2.0 | 修改内容格式 | |

声明：

- 本资料内容，随产品的改进，会进行相应更新，恕不另行通知。使用本资料前请咨询我司销售人员，以保证本资料内容为最新版本。
- 请在本资料所记载的极限范围内使用本产品，因使用不当造成的损失，我司不承担其责任。
- 尽管本公司一向致力于提高产品质量与可靠性，但是半导体产品本身有一定的概率发生故障或错误工作，为防止因此类事故而造成的人身伤害或财产损失，请在使用过程中充分留心安全设计。
- 将本产品或者本资料出口海外时，应当遵守适用的进出口管制法律法规。
- 未经本公司许可，严禁以任何形式复制或转载本资料的部分或全部内容。
- 本资料测试数据仅供参考，实际数据以目标样机测试为准。



目录

| | |
|-----------------------------------|----|
| 1 芯片简介 | 5 |
| 1.1 功能特性 | 5 |
| 1.2 引脚分配 | 6 |
| 1.3 引脚说明 | 7 |
| 2 存储器结构 | 8 |
| 2.1 数据存储区 | 8 |
| 2.1.1 RPAGE\IOPAGE 数据寄存器区 | 8 |
| 3 功能模块 | 9 |
| 3.1 GPIO 功能模块 | 9 |
| 3.1.1 GPIO 寄存器说明 | 9 |
| RPAGE~R5 (PORT5 数据寄存器) | 9 |
| RPAGE~R6 (PORT6 数据寄存器) | 9 |
| IOPAGE~IOC5 (P5 方向控制寄存器) | 9 |
| IOPAGE~IOC6 (P6 方向控制寄存器) | 9 |
| IOPAGE~IOCB (P5/P6 下拉控制寄存器) | 9 |
| IOPAGE~IOCC (P6 端口开漏控制寄存器) | 10 |
| IOPAGE~IOCD (P6 端口上拉控制寄存器) | 10 |
| 3.2 TCC 定时器功能模块 | 11 |
| 3.2.1 TCC 定时器寄存器说明 | 11 |
| CONT (控制寄存器) | 11 |
| RPAGE~R1 (TCC 数据计数器) | 11 |
| RPAGE~RF (中断标志寄存器) | 11 |
| IOPAGF~IOCF (中断使能控制寄存器) | 12 |
| 3.2.2 TCC 定时设置说明 | 12 |
| 3.3 WDT 看门狗功能模块 | 13 |
| 3.3.1 WDT 看门狗寄存器说明 | 13 |
| IOPAGF~IOCE (WDT 控制寄存器) | 13 |
| 3.3.2 WDT 看门狗设置说明 | 13 |
| 3.4 端口状态改变唤醒功能模块 | 14 |
| 3.4.1 睡眠唤醒方式说明 | 14 |
| 3.4.2 端口状态改变唤醒寄存器说明 | 14 |
| RPAGE~RF (中断标志寄存器) | 14 |
| IOPAGF~IOCF (中断使能控制寄存器) | 14 |
| 3.4.3 端口状态改变查询方式唤醒设置 | 14 |
| 3.4.4 端口状态改变中断方式唤醒设置 | 14 |
| 3.5 中断功能模块 | 16 |
| 3.5.1 中断寄存器说明 | 16 |
| RPAGE~RF (中断标志寄存器) | 16 |
| IOPAGF~IOCF (中断使能控制寄存器) | 16 |
| 3.5.2 外部中断设置说明 | 17 |
| 3.6 其他功能寄存器 | 18 |
| RPAGE~R0 (间接寻址寄存器) | 18 |
| RPAGE~R1 (TCC 数据计数器) | 18 |



| | |
|--------------------------------|-----------|
| RPAGE~R2 (PC 指针低位寄存器) | 18 |
| RPAGE~R3 (STATUS 状态寄存器) | 18 |
| RPAGE~R4 (FSR RAM 选择寄存器) | 19 |
| 3.7 复位功能模块 | 20 |
| 3.7.1 复位功能概述 | 20 |
| 3.7.2 上电复位 | 20 |
| 3.7.3 WDT 看门狗复位 | 20 |
| 3.7.4 掉电复位 | 21 |
| 3.8 系统时钟功能模块 | 22 |
| 3.8.1 外部晶体振荡器/陶瓷谐振器 (XT) | 22 |
| 3.8.2 外部 RC 振荡器模式 (ERC) | 22 |
| 3.8.3 时钟模块应用说明 | 23 |
| 4 CODE OPTION 寄存器 | 24 |
| 5 芯片电气特性 | 25 |
| 5.1 芯片极限参数 | 25 |
| 5.2 芯片直流参数 | 25 |
| 6 封装尺寸信息 | 26 |
| 6.1 18PIN 封装尺寸 | 26 |
| 6.2 16PIN 封装尺寸 | 27 |
| 6.3 14PIN 封装尺寸 | 28 |
| 6.4 8PIN 封装尺寸 | 29 |



1 芯片简介

1.1 功能特性

CPU 配置

- 1K×14-Bit OTP ROM
- 48×8-Bit SRAM
- 5 级堆栈空间
- 工作电流小于 2 mA (4MHz/5V)
- 工作电流 30 μ A (32KHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 2 组双向 I/O 端口: P5, P6
- 12 个 I/O 引脚
- 唤醒端口: P6 口
- 8 个可编程上拉 I/O 引脚
- 7 个可编程下拉 I/O 引脚
- 8 个可编程漏极开路 I/O 引脚
- 外部中断: P60

工作电压

- 工作电压范围:
 - 1.8V~5.5V (0°C~70°C)
 - 2.3V~5.5V (-40°C~85°C)

工作频率 (基于 2Clock)

- 外置 ERC 振荡电路:
- 外置 XT 振荡电路:
 - DC~16MHz
 - DC~8MHz
 - DC~4MHz
 - DC~32.768KHz
- 指令周期分频选择:
 - 2T, 4T, 8T, 16T

中断源

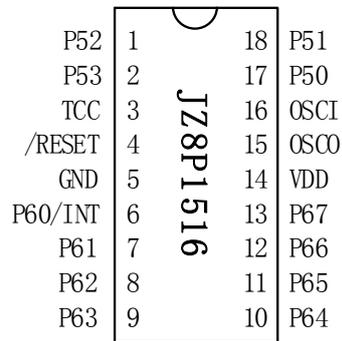
- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断

封装类型

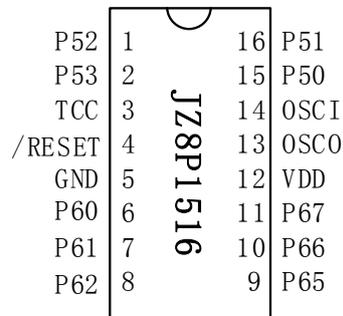
- JZ8P1516-DIP18;
- JZ8P1516-SOP18;
- JZ8P1516-DIP16;
- JZ8P1516-SOP16;
- JZ8P1516-DIP14;
- JZ8P1516-SOP14;
- JZ8P1516-SOP8;



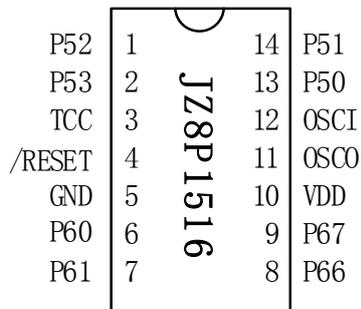
1.2 引脚分配



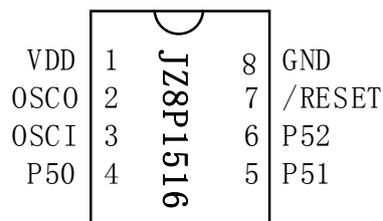
JZ8P1516-18PIN 脚位图



JZ8P1516-16PIN 脚位图



JZ8P1516-14PIN 脚位图



JZ8P1516-8PIN 脚位图



1.3 引脚说明

| 序号 | 管脚名 | I/O | 功能描述 |
|-----|-----|-----|------------------------|
| P50 | P50 | I/O | GPIO, 可编程下拉 |
| P51 | P51 | I/O | GPIO, 可编程下拉 |
| P52 | P52 | I/O | GPIO, 可编程下拉 |
| P53 | P53 | I/O | GPIO |
| P60 | P60 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| | INT | I | 外部中断输入端口 |
| P61 | P61 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P62 | P62 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P63 | P63 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P64 | P64 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P65 | P65 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P66 | P66 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| P67 | P67 | I/O | GPIO, 可编程上下拉、漏极开路、端口唤醒 |
| | VDD | -- | 电源 |
| | VSS | -- | 地 |



2 存储器结构

2.1 数据存储区

2.1.1 RPAGE\IOPAGE 数据寄存器区

| 地址 | RPAGE 页面寄存器 | IOPAGE 页面寄存器 |
|-------------------|--------------|-----------------|
| 0x00 | 间接寻址存储器 | 保留 |
| 0x01 | TCC 定时计数器 | CONT (控制寄存器) |
| 0x02 | PC 程序计数器 | 保留 |
| 0x03 | STATUS 状态寄存器 | 保留 |
| 0x04 | RAM 选择寄存器 | 保留 |
| 0x05 | PORT5 数据寄存器 | P5 方向控制寄存器 |
| 0x06 | PORT6 数据寄存器 | P6 方向控制寄存器 |
| 0x07 | 保留 | 保留 |
| 0x08 | 保留 | 保留 |
| 0x09 | 保留 | 保留 |
| 0x0A | 保留 | TCC 预分频器数据寄存器 |
| 0x0B | 保留 | P5/P6 端口下拉控制寄存器 |
| 0x0C | 保留 | P6 端口开漏控制寄存器 |
| 0x0D | 保留 | P6 端口上拉控制寄存器 |
| 0x0E | 保留 | WDT 控制寄存器 |
| 0x0F | 中断标志寄存器 | 中断使能控制寄存器 |
| 0x10 ~ 0x3F | 通用寄存器 | |



3 功能模块

3.1 GPIO 功能模块

JZ8P1516 有 2 组双向 I/O 端口，共 12 个输入，12 个输出；

8 个可编程上拉 I/O 引脚：P60~P67；

7 个可编程下拉 I/O 引脚：P50~P52, P60~P63；

8 个可编程漏极开路 I/O 引脚：P60~P67；

端口输入特性表格如下：

| 端口 | SMT | HSMT | EMT | INV |
|---------|----------------|---------------|---------------|--------|
| P50~P53 | 0.5VDD/0.25VDD | 0.8VDD/0.2VDD | 0.3VDD | 0.5VDD |
| P60~P67 | 0.5VDD/0.25VDD | 0.8VDD/0.2VDD | 0.3VDD/0.2VDD | 0.5VDD |

3.1.1 GPIO 寄存器说明

RPAGE~R5 (PORT5 数据寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|-------|-------|
| - | - | - | - | P53 | P52 | P51 | P50 |

PORT5 数据寄存器，可读可写

RPAGE~R6 (PORT6 数据寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|-------|-------|
| P67 | P66 | P65 | P64 | P63 | P62 | P61 | P60 |

PORT6 数据寄存器，可读可写

IOPAGE~IOC5 (P5 方向控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|---------|---------|---------|---------|
| - | - | - | - | P5CR<3> | P5CR<2> | P5CR<1> | P5CR<0> |

Port5 方向控制位

1: 输入 (默认)

0: 输出

IOPAGE~IOC6 (P6 方向控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| P6CR<7> | P6CR<6> | P6CR<5> | P6CR<4> | P6CR<3> | P6CR<2> | P6CR<1> | P6CR<0> |

Port6 方向控制位

1: 输入 (默认)

0: 输出

IOPAGE~IOCB (P5/P6 下拉控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-----------|------|-------|-------|-------|-----------|-------|-------|
| P6PD<3:0> | | | | - | P5PD<2:0> | | |

Bit<7:4>:P6PD<3:0>-P60~P63 下拉使能控制位

0: 使能

1: 禁止 (默认)

Bit<2:0>:P5PD<2:0>-P50~P52 下拉使能控制位

0: 使能



1: 禁止 (默认)

IOPAGE~IOCC (P6 端口开漏控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| P60D<7> | P60D<6> | P60D<5> | P60D<4> | P60D<3> | P60D<2> | P60D<1> | P60D<0> |

Port6 端口开漏功能控制

1: 使能

0: 禁止 (默认)

IOPAGE~IOCD (P6 端口上拉控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|---------|---------|---------|---------|---------|---------|---------|---------|
| P6PH<7> | P6PH<6> | P6PH<5> | P6PH<4> | P6PH<3> | P6PH<2> | P6PH<1> | P6PH<0> |

Port6 端口上拉控制

0: 使能

1: 禁止 (默认)



3.2 TCC 定时器功能模块

TCC 是一个 8 位定时/计数器，TCC 时钟源可以选择内部时钟或外部输入信号（由 TCC 引脚输入，触发沿可以选择）。如果是内部时钟作为 TCC 时钟源，每个指令周期 TCC 加一（无预分频比）。指令周期是几个时钟周期由 CODE OPTION 中选择几个 CLKS 决定。如果 TCC 选择外部时钟输入作为 TCC 时钟源，TCC 将在 TCC 引脚输入每个下降沿或上升沿加 1。

3.2.1 TCC 定时器寄存器说明

CONT（控制寄存器）

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|-------|-------|
| GP | /INT | TS | TE | PAB | PSR2 | PSR1 | PSR0 |

Bit7:通用寄存器

Bit6:/INT-全局中断使位

- 1:通过 ENI/RETI 设置位 1
- 0:通过 DISI 或者中断实现清零

Bit5:TS-TCC 信号源选择位

- 0:内部指令周期时钟作为 TCC 时钟源
- 1:外部输入信号（P54 需要设置为输入口）

Bit4:TE-TCC 信号边沿选择位

- 0:TCC 引脚信号发生由低到高变化加 1
- 1:TCC 引脚信号发生由高到低变化加 1

Bit3:PAB-TCC 预分频器使能控制

- 0:预分频器分给 TCC
- 1:预分频器分给 WDT

Bit<2:0>:PSR<2:0>-预分频选择控制位:

| PSR2 | PSR1 | PSR0 | TCC 分频系数 | WDT 分频系数 |
|------|------|------|----------|----------|
| 0 | 0 | 0 | 1:2 | 1:1 |
| 0 | 0 | 1 | 1:4 | 1:2 |
| 0 | 1 | 0 | 1:8 | 1:4 |
| 0 | 1 | 1 | 1:16 | 1:8 |
| 1 | 0 | 0 | 1:32 | 1:16 |
| 1 | 0 | 1 | 1:64 | 1:32 |
| 1 | 1 | 0 | 1:128 | 1:64 |
| 1 | 1 | 1 | 1:256 | 1:128 |

CONT 为可读可写寄存器

RPAGE~R1 (TCC 数据计数器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|----------|------|-------|-------|-------|-------|-------|-------|
| TCC<7:0> | | | | | | | |

TCC 数据寄存器，可读可写

RPAGE~RF (中断标志寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIF | P6ICIF | TCIF |

Bit0:TCIF-TCC 中断标志位

- 1:有中断



0:无中断

RF 寄存器可读可写，但只能写 0

IOPAGF~IOCF(中断使能控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIE | P6ICIE | TCIE |

Bit0:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

3.2.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外部信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF 寄存器中的 TCIE（Bit0）为 1，并执行 ENI 指令；
- 5、中断程序部分需手动保存 ACC、R3、R4 寄存器的值，执行 RETI 指令后，退出中断前要清楚 TCC 中断标志位，并手动恢复保存 ACC、R3、R4 寄存器的值。



3.3 WDT 看门狗功能模块

WDT 有一个自由运行的片内 RC 振荡器，当 CUP 时钟关闭（即休眠模式）后，WDT 还可以继续运行。无论是普通模式还是休眠模式，WDT 定时溢出将使 MCU 复位（若 WDT 使能）。WDT 可在正常模式下由软件设置禁止或使能。

如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTEN 位选择“1”，两个条件缺一不可。

3.3.1 WDT 看门狗寄存器说明

IOPAGF~IOCE (WDT 控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|-------|-------|
| WDTEN | EIS | - | ROC | - | - | - | - |

Bit7:WDTEN-WDT 使能控制位

1:使能

0:禁止（默认）

3.3.2 WDT 看门狗设置说明

WDT 看门狗溢出唤醒复位

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设置 OPTION 中，看门狗选项使能；
- 3、当 WDT 溢出唤醒后，系统进入复位状态。



3.4 端口状态改变唤醒功能模块

3.4.1 睡眠唤醒方式说明

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。

单片机可被如下情况唤醒：

- 1、RST 脚输入低电平唤醒；
- 2、WDT 溢出唤醒；
- 3、端口状态改变唤醒；
- 4、外部引脚中断唤醒；

前2种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后2种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI），并打开相应的使能控制位，跳转到中断向量的位置。本模块主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.4.2 端口状态改变唤醒寄存器说明

RPAGE~RF(中断标志寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIF | P6ICIF | TCIF |

Bit1:P6ICIF-P6 端口变化中断标志位

- 1:有中断
- 0:无中断

RF 寄存器可读可写，但只能写 0

IOPAGF~IOCF(中断使能控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIE | P6ICIE | TCIE |

Bit1:P6ICIE-P6 端口变化中断使能控制位

- 1:使能
- 0:禁止（默认）

IOCF 寄存器可读可写

3.4.3 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能 PORT 端口状态改变中断；
- 5、使能端口状态改变独立中断及唤醒控制；
- 6、执行 DISI 指令，不进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、执行“SLEP”指令，进入睡眠 SLEEP 模式；
- 9、唤醒后，执行 SLEP 的下一条指令。

3.4.4 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；



- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT;
- 4、使能端口状态改变独立中断及唤醒控制;
- 5、使能 PORT 端口状态改变中断;
- 6、执行“ENI”指令, 等待进入中断地址口;
- 7、读取 PORT 端口 (如 MOV 0X06, 0X06);
- 8、执行“SLEP”指令, 进入睡眠 SLEEP 模式;
- 9、唤醒后会进入中断地址口, 退出中断后, 执行 SLEP 下一条指令。



3.5 中断功能模块

JZ8P1516 具有 3 个中断源, 无论是使用其中哪一个中断, 都必须使总中断使能, 即下“ENI”指令。下面分别是每个中断的特性, 中断地址及优先级:

| | 中断源 | 使能条件 | 中断标志 | 中断向量 |
|----|----------|----------------|------|------|
| 内部 | TCC 溢出中断 | ENI + TCIE = 1 | TCIF | 008H |
| 外部 | 端口变化中断 | ENI + ICIE = 1 | ICIF | 008H |
| 外部 | 外部中断 | ENI + EXIE = 1 | EXIF | 008H |

PRAGE~RE, RPAGE~RF 为中断状态标志寄存器, 它们记录了当某个中断产生中断请求后的中断标志位。PRAGE~RE, IOPAGF~IOCF 为中断设置寄存器, 中断的允许与禁止在这 2 个寄存器中设置。总中断的允许是通过下“ENI”指令, 相反, 总中断的禁止是通过下“DISI”指令。当一个中断产生时, 它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零, 这样才能避免中断的误动作。

当执行中断子程序时, ACC、R3、R4 的内容需要手动保留起来, 直到离开中断子程序后, 需要手动将被保留的值载入 ACC、R3、R4, 如此是为了避免在执行中断子程序时, 有将 ACC、R3、R4 的值改变, 导致回主程序时发生错误。

3.5.1 中断寄存器说明

RPAGE~RF (中断标志寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIF | P6ICIF | TCIF |

Bit2:EXIF-外部中断标志位

1:有中断

0:无中断

Bit1:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

Bit0:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写, 但只能写 0

IOPAGF~IOCF (中断使能控制寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|--------|-------|
| - | - | - | - | - | EXIE | P6ICIE | TCIE |

Bit2:EXIE-外部中断使能控制位

1:使能

0:禁止 (默认)

Bit1:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止 (默认)

Bit0:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止 (默认)

IOCF 寄存器可读可写



3.5.2 外部中断设置说明

- 1、设置中断作为输入口，将中断端口设置为输入状态；
 - 2、选择某一端口作为中断口，设置 R42 寄存器 Bit<6:5>选择中断口；
 - 3、使能外部中断 PxICIE=1；
 - 4、根据客户需要如需要进入中断则使能 ENI，如果不进入中断，则禁止 DISI；
- 其他中断说明，在相应的模块的中有介绍。



3.6 其他功能寄存器

RPAGE~R0 (间接寻址寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|---------|------|-------|-------|-------|-------|-------|-------|
| R0<7:0> | | | | | | | |

R0 间接寻址寄存器是一个虚拟的寄存器，是间接寻址的指针，对应的数值为 R4 寄存器数值
RPAGE~R1 (TCC 数据计数器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|----------|------|-------|-------|-------|-------|-------|-------|
| TCC<7:0> | | | | | | | |

TCC 数据寄存器，可读可写

RPAGE~R2 (PC 指针低位寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|----------|------|-------|-------|-------|-------|-------|-------|
| PCL<7:0> | | | | | | | |

PC 指针低位寄存器，可读可写

RPAGE~R3 (STATUS 状态寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|------|-------|-------|-------|-------|-------|-------|
| WKTP | GP1 | GP0 | T | P | Z | DC | C |

Bit7:WKTP-唤醒类型标志位

- 0: 复位唤醒
- 1: 非复位唤醒

Bit6:GP1-通用读写位

Bit5:GP0-通用读写位

Bit4:T-时间溢出位

- 0: WDT 溢出
- 1: 执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

| 类型 | RST | T | P |
|--------------|-----|----|----|
| 上电复位 | 0 | 1 | 1 |
| 工作模式下按 RESET | 0 | 保持 | 保持 |
| RESET 唤醒 | 0 | 1 | 0 |
| 工作模式下 WDT 溢出 | 0 | 0 | 保持 |
| WDT 溢出唤醒 | 0 | 0 | 0 |
| 端口状态变化唤醒 | 1 | 1 | 0 |
| 执行 WDTC 指令 | 保持 | 1 | 1 |
| 执行 SLEEP 指令 | 保持 | 1 | 0 |

Bit3:P-掉电标志位

- 0: 执行“SLEEP”指令
- 1: 上电复位或执行“WDTC”指令

Bit2:Z-零标志位算术或逻辑操作结果为零时置为“1”

- 0: 当算术或者逻辑运算结果不为 0
- 1: 当算术或者逻辑运算结果为 0

Bit1:DC-辅助进位标志



0: 执行加法运算时, 低四位没有进位产生; /执行减法运算时, 低四位产生借位

1: 执行加法运算时, 低四位有进位产生; /执行减法运算时, 低四位没产生借位

Bit0:C-进位标志

0: 执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位

1: 执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没产生借位

RPAGE~R4 (FSR RAM 选择寄存器)

| Bit 7 | Bit6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|-------|----------|-------|-------|-------|-------|-------|-------|
| 1 | FSR<6:0> | | | | | | |

Bit7:固定读数为 1

Bit<6:0>:FSR<6:0>-在间接寻址方式中用于选择 RAM 寄存器地址

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 FSR 中对应地址的寄存器。



3.7 复位功能模块

3.7.1 复位功能概述

JZ8P1516 系统提供 3 种复位方式：

- 1、上电复位；
- 2、RESET 脚输入低电平复位；
- 3、WDT 看门狗溢出复位；

第一种复位时间由 OPTION 中的复位时间选择决定，如下表所示：

上电复位建立时间：

| SUT | 复位建立时间 |
|----------------------|---------------|
| PWRT=WDT=18ms | 上电复位时间= 18ms |
| PWRT=WDT=4.5ms | 上电复位时间= 4.5ms |
| PWRT=WDT=72ms | 上电复位时间= 72ms |
| PWRT=WDT=288ms | 上电复位时间= 288ms |
| PWRT=140us WDT=18ms | 上电复位时间=140us |
| PWRT=140us WDT=4.5ms | 上电复位时间=140us |
| PWRT=140us WDT=72ms | 上电复位时间=140us |
| PWRT=140us WDT=288ms | 上电复位时间=140us |

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.7.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.7.3 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。



看门狗定时器应用注意事项:

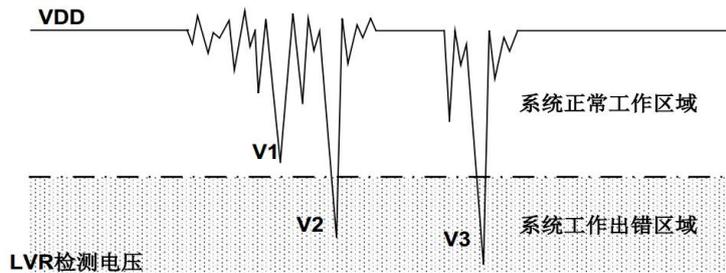
1、对看门狗清零之前, 检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性;

2、不能在中断中对看门狗清零, 否则无法检测到主程序跑飞的状况;

3、程序中应该只在主程序中有一次清看门狗的动作, 这种架构能够最大限度的发挥看门狗的保护功能。

3.7.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形(例如, 干扰或外部负载的变化), 掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中, VDD 受到严重的干扰, 电压值降的非常低。虚线以上区域系统正常工作, 在虚线以下的区域内, 系统进入未知的工作状态, 这个区域称作死区。当 VDD 跌至 V1 时, 系统仍处于正常状态; 当 VDD 跌至 V2 和 V3 时, 系统进入死区, 则容易导致出错。以下情况系统可能进入死区:

DC 运用中:

DC 运用中一般都采用电池供电, 当电池电压过低或单片机驱动负载时, 系统电压可能跌落并进入死区。这时, 电源不会进一步下降到 LVD 检测电压, 因此系统维持在死区。

AC 运用中:

系统采用 AC 供电时, DC 电压值受 AC 电源中的噪声影响。当外部负载过高, 如驱动马达时, 负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时, 则系统将有可能进入不稳定工作状态。

在 AC 运用中, 系统上、下电时间都较长。其中, 上电时序保护使得系统正常上电, 但下电过程却和 DC 运用中情形类似, AC 电源关断后, VDD 电压在缓慢下降的过程中易进入死区。



3.8 系统时钟功能模块

JZ8P1516 内部集成了 4 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

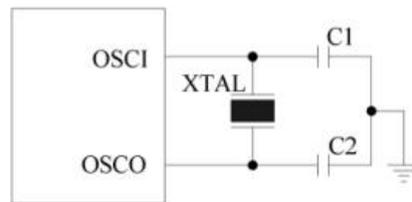
内部振荡器说明

| 振荡器类型 | 说明 |
|--------------|------------|
| ERC（外接电阻振荡器） | OSCI:ERCin |
| LXT（低速晶振） | 32.768KHz |
| HXT（高速晶振） | 1M~16M |

说明：HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.8.1 外部晶体振荡器/陶瓷谐振器（XT）

在大多数应用中，引脚 OSCO 和 OSCI 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



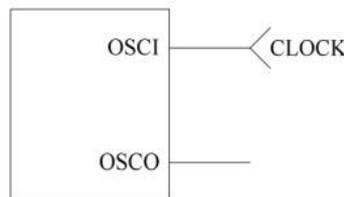
晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

| 振荡器模式 | 频率模式 | 频率 | C1 (pF) | C2 (pF) |
|-------|---------------|------------|---------|---------|
| 晶体振荡器 | LXT (32.768K) | 32.768 KHz | 40 | 40 |
| | HXT (1M~16M) | 1 MHz | 30 | 30 |
| | | 2 MHz | 30 | 30 |
| | | 4 MHz | 20 | 20 |
| | | 8 MHz | 30 | 30 |

注：以上数据仅供参考，一切以实物测试为准。

JZ8P1516 还可被 OSCI 引脚上的外部时钟信号驱动，其应用图如下：



外部时钟示意图

3.8.2 外部 RC 振荡器模式（ERC）

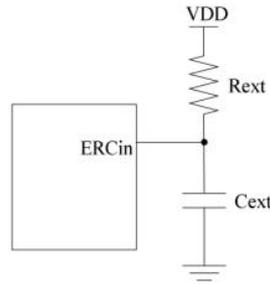
在一些对时钟精度要求不高的场合应用中，使用 RC 振荡器可以节省部分费用，尽管如此，还是应该注意到，RC 振荡器的频率与电压，电阻值(R_{ext})，电容值(C_{ext})，甚至工作温度均有关，并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

RC 振荡器的电阻值越小，频率越高。另一方面，对于很小的电阻值，例如 1K 欧姆，由于 NMOS 不能正确将电容放电，振荡器将变得不稳定，为了获得稳定的系统频率，电容值不能



小于 20pF，电阻值不能大于 1M 欧姆。如果它们不在该范围之内，频率将很容受噪声、湿率及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



外部 RC 振荡器模式电路

RC 振荡器频率参考表如下所示，仅供参考：（以下数据为仿真数据，仅供设计参考）

| Rext | Cext | 频率 |
|------|------|--------|
| 5.1K | 100p | 863KHz |
| | 200p | 448KHz |
| | 300p | 305KHz |
| 10K | 100p | 455KHz |
| | 200p | 235KHz |
| | 300p | 160KHz |

3.8.3 时钟模块应用说明

在使用外打时钟输入时，时钟信号要从 OSC1 输入，OSC0 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。



4 CODE OPTION 寄存器

JZ8P1516 在烧录使用中，需要设置不同的选项，如下表：

| CODE OPTION | 选项 | 功能描述 |
|-------------|-----------------------|-----------------------------------|
| POWER | HIGH | IRC 频率在 VDD=5V 下校准 |
| | LOW | IRC 频率在 VDD=3V 下校准 |
| 看门狗 | 使能 | WDT 使能 |
| | 禁止 | WDT 禁止（默认） |
| 代码加密 | 加密 | 烧录模式数据加密 |
| | 不加密 | 烧录模式数据不加密 |
| 复位时间 | PWRT=WDT=4.5ms | 唤醒建立时间=WDT 溢出时间（不分频）= 4.5ms |
| | PWRT=WDT=18ms | 唤醒建立时间=WDT 溢出时间（不分频）= 18ms |
| | PWRT=WDT=72ms | 唤醒建立时间=WDT 溢出时间（不分频）= 72ms |
| | PWRT=WDT=288ms | 唤醒建立时间=WDT 溢出时间（不分频）= 288ms |
| | PWRT=140us, WDT=4.5ms | 唤醒建立时间=140us, WDT 溢出时间（不分频）=4.5ms |
| | PWRT=140us, WDT=18ms | 唤醒建立时间=140us, WDT 溢出时间（不分频）=18ms |
| | PWRT=140us, WDT=72ms | 唤醒建立时间=140us, WDT 溢出时间（不分频）=72ms |
| | PWRT=140us, WDT=288ms | 唤醒建立时间=140us, WDT 溢出时间（不分频）=288ms |
| 端口特性 | EMT | 端口输入特性为施密特 EMT 特性 |
| | SMT | 端口输入特性为施密特 SMT 特性 |
| | HSMT | 端口输入特性为施密特 HSMT 特性 |
| | INV | 端口输入特性为反相器 INV 特性 |
| 复位端口上拉 | 使能 | 使能 P57 端口上拉 |
| | 禁止 | 禁止 P57 端口上拉 |
| 振荡模式 | ERC 模式 | ERC 模式 |
| | LXT | LXT (0K~400K) 模式 |
| | HXT | HXT (400K~16M) 模式 |



5 芯片电气特性

5.1 芯片极限参数

| | |
|------------|--------------------------------|
| 工作温度(°C): | (√) E: -40~85; |
| 存储温度(°C): | (√) -65~+150; |
| 极限电压(V) | (√) 其它 <u>-0.3~6;</u> |
| 极限输入电压 (V) | (√) 其它 <u>GND-0.3~VDD+1;</u> |
| 极限输出电压 (V) | (√) 其它 <u>GND-0.3~VDD+1;</u> |

5.2 芯片直流参数

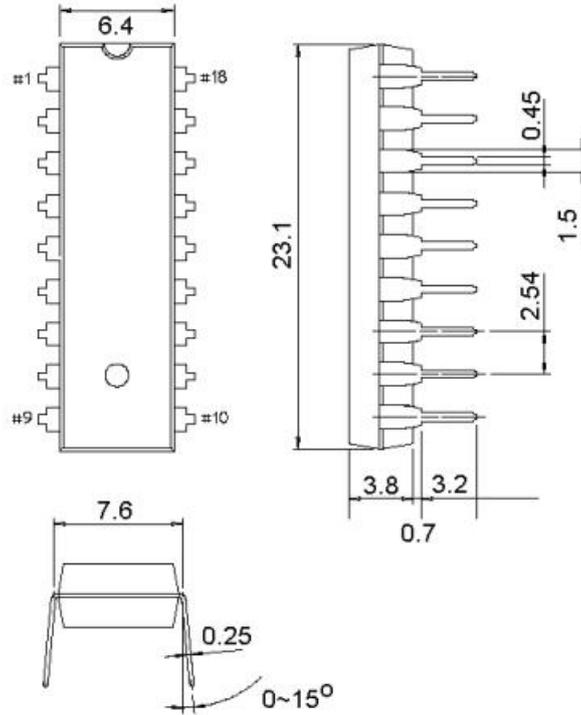
(T=25°C, VDD=5±5%V, GND=0V)

| 符号 | 参数说明 | 条件 | 最小 | 典型 | 最大 | 单位 |
|------|------------|---------------------------------|----|-----|-----|----|
| IOH1 | 输出高电平驱动 | Ioh=4.4V | - | 4.5 | - | mA |
| IOL1 | I0 输出低电平驱动 | Iol=0.6V | - | 18 | - | mA |
| IPH | 上拉电流 | 上拉使能, 输入接地 | 70 | 100 | 150 | μA |
| IPD | 下拉电流 | 下拉使能, 输入接 VDD | 40 | 60 | 100 | μA |
| Isb1 | 关机电流 1 | 所有输入接 VDD, 输出悬空, WDT、LVD 禁用 | - | - | 1 | μA |
| Isb2 | 关机电流 2 | 所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用 | - | - | 10 | μA |
| Isb3 | 关机电流 3 | 所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用 | - | - | 10 | μA |

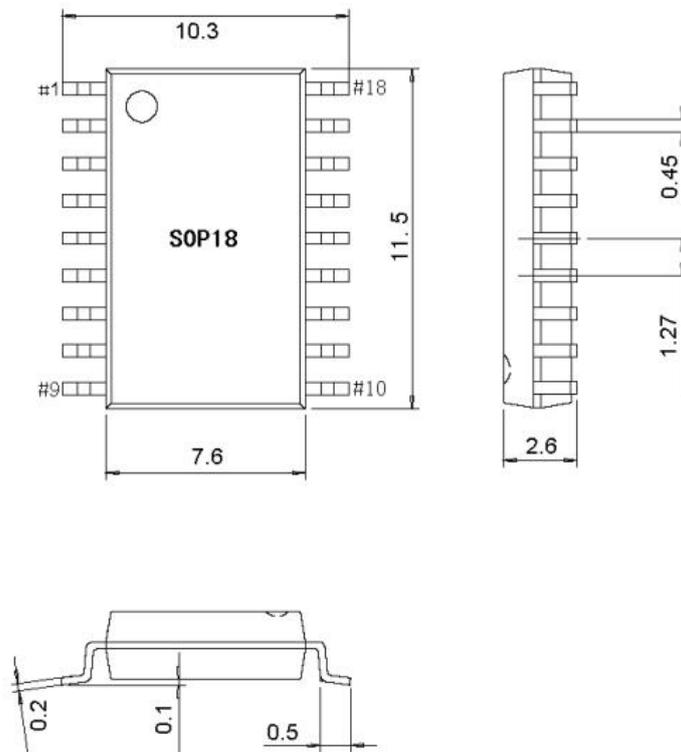


6 封装尺寸信息

6.1 18PIN 封装尺寸



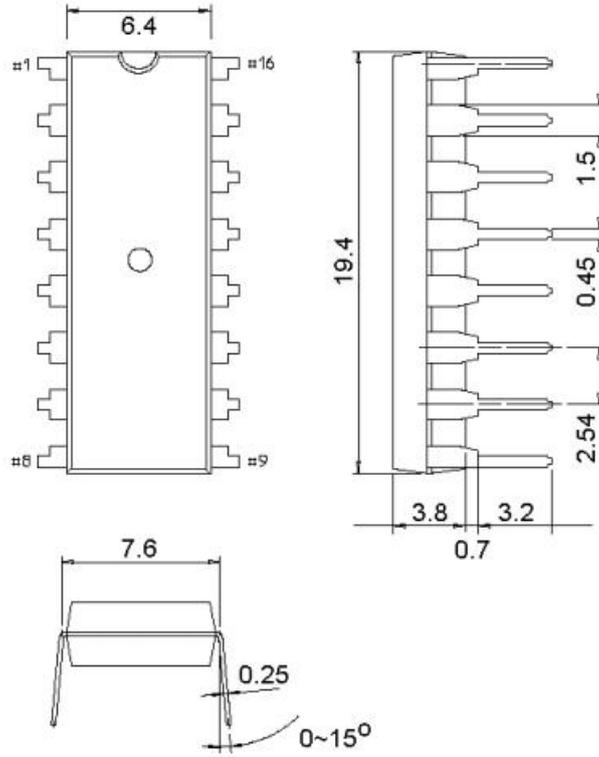
DIP18 封装尺寸



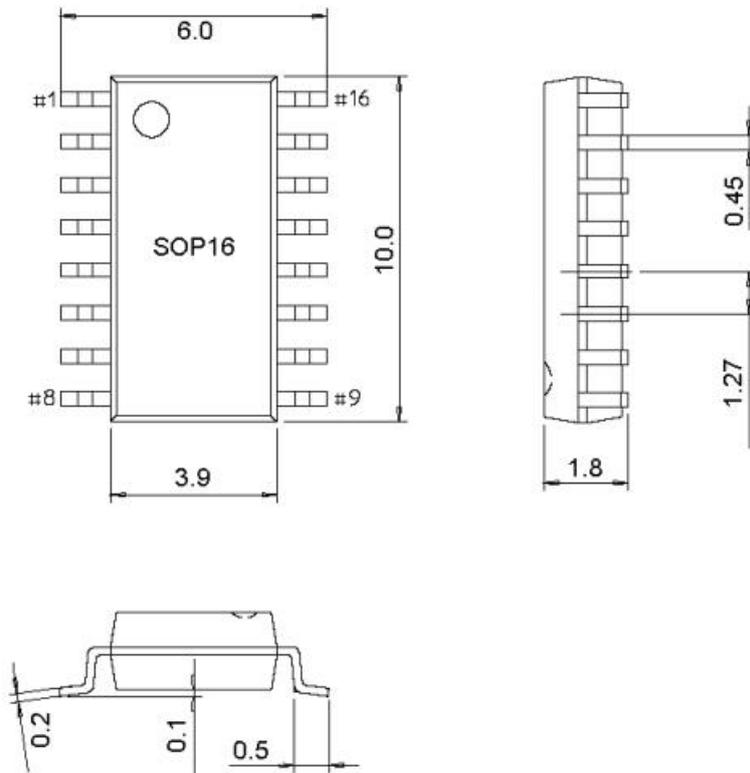
SOP18 封装尺寸



6.2 16PIN 封装尺寸



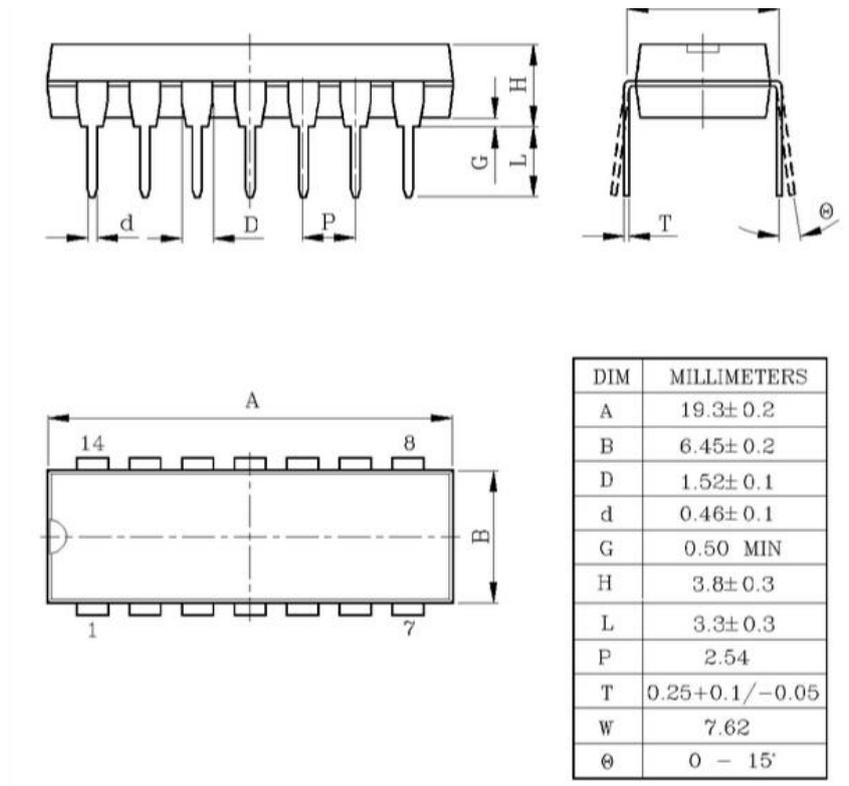
DIP16 封装尺寸



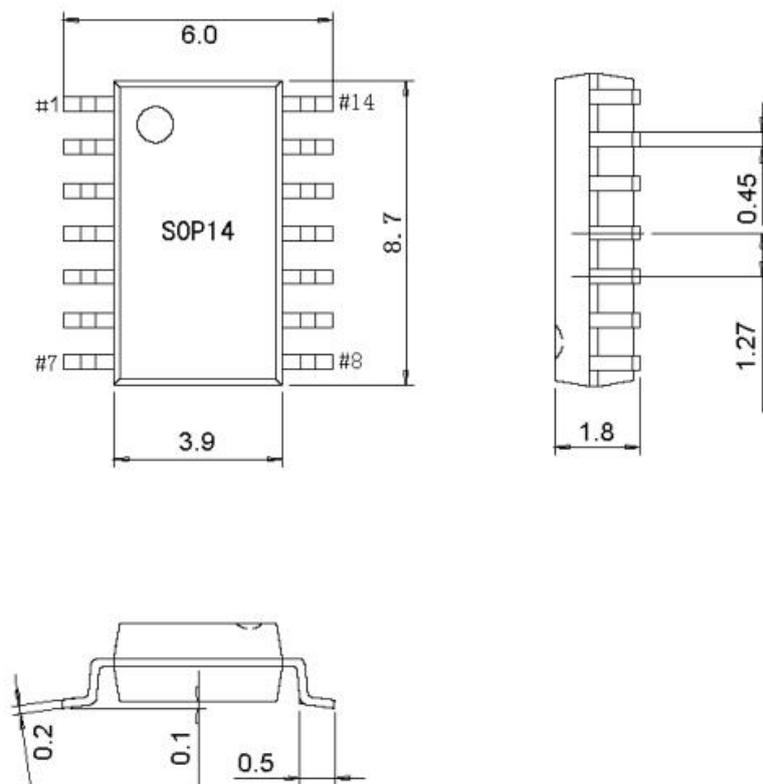
SOP16 封装尺寸



6.3 14PIN 封装尺寸



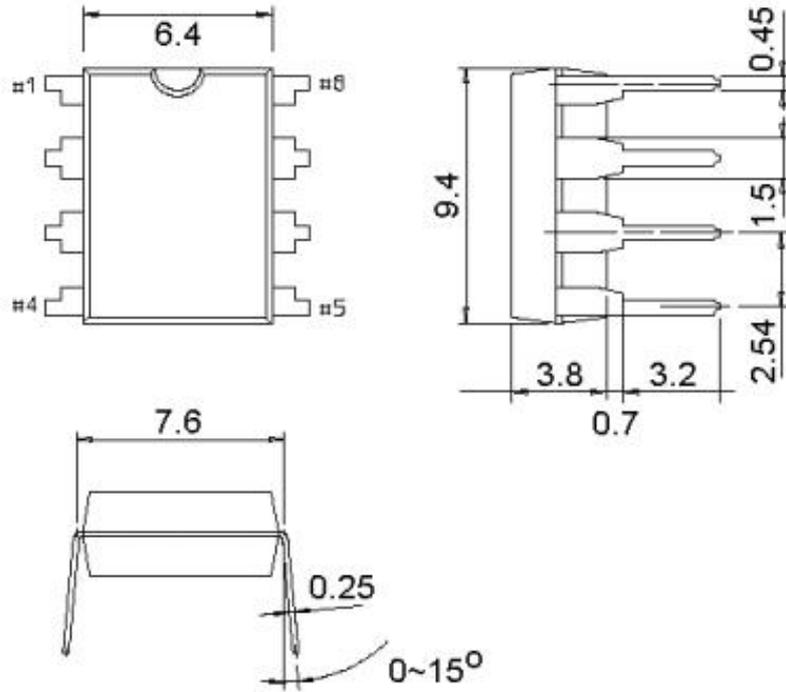
DIP14 封装尺寸



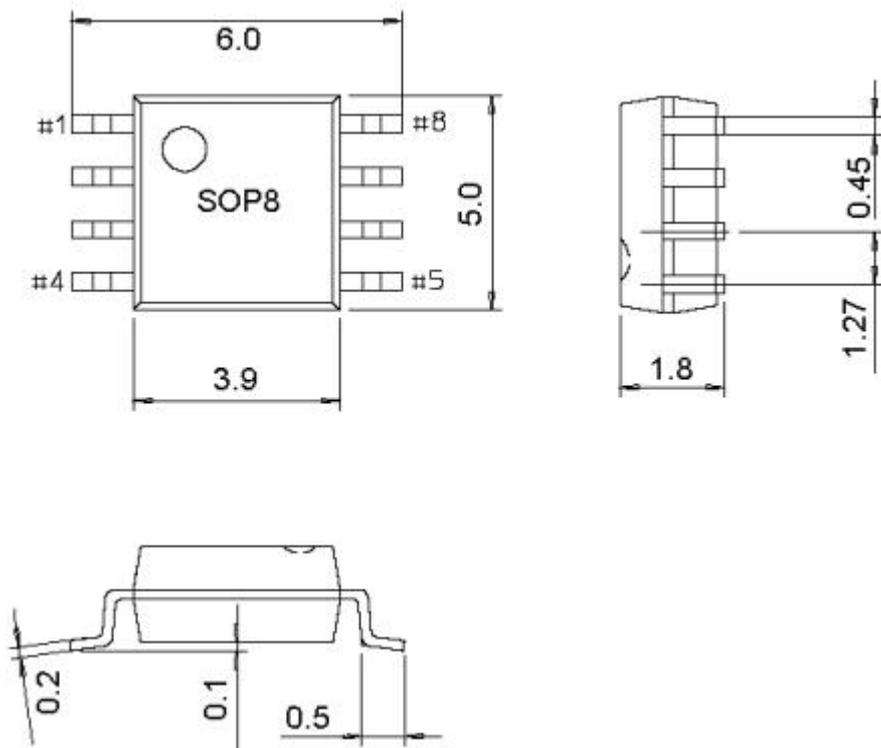
SOP14 封装尺寸



6.4 8PIN 封装尺寸



DIP8 封装尺寸



SOP8 封装尺寸